



19 BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENTAMT

12 Pat ntschrift
10 DE 196 32 835 C 1

51 Int. Cl. 8:
H 01 L 21/308
H 01 L 21/205
H 01 L 21/8242
H 01 L 27/108

21 Aktenzeichen: 196 32 835.7-33
22 Anmeldetag: 14. 8. 98
43 Offenlegungstag: —
45 Veröffentlichungstag
der Patenterteilung: 2. 4. 98

DE 196 32 835 C 1

Innerhalb von 3 Monaten nach Veröffentlichung der Erteilung kann Einspruch erhoben werden

73 Patentinhaber:
Siemens AG, 80333 München, DE

72 Erfinder:
Schäfer, Herbert, Dr., 85635
Höhenkirchen-Siegersbrunn, DE; Lehmann, Volker,
Dr., 80689 München, DE; Franosch, Martin, 81739
München, DE; Reisinger, Hans, Dr., 82031 Grünwald,
DE; Stengl, Reinhard, Dr., 88391 Stadtbergen, DE;
Wendt, Hermann, Dr., 85630 Grasbrunn, DE

56 Für die Beurteilung der Patentfähigkeit
in Betracht gezogene Druckschriften:

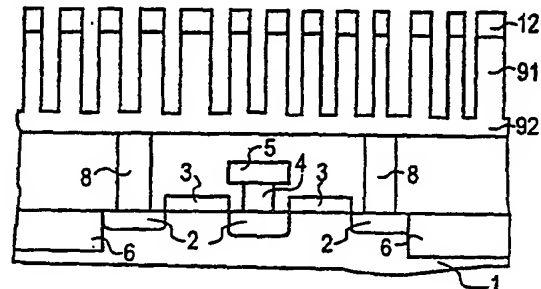
DE 42 22 584 A1
US 52 54 503
US 51 34 086
EP 04 15 530 B1

KWON, Sung-Ku et.al.: Nano-Trenched Local
Oxidation... In: J.Electrochem.Soc., Vol. 143, No. 2,
Feb. 1996, pp. 639-642;
SCHITTENHELM, P. et.al.: Self-Organized MBE

growth... In: Journal of Crystal Growth 157, (1995),
pp. 260-284;
SCHABER, H. et.al.: Process and Device Related
Scaling... In: IEDM 87, 1987, pp. 170-173;
YAMADA, K. et.al.: A Deep Trench Capacitor... In:
IEDM 85, pp. 702-705;

54 Verfahren zur Herstellung eines Kondensators in einer Halbleiteranordnung

57 Zur Herstellung eines Kondensators, der insbesondere für
DRAM-Anordnungen geeignet ist, werden unter Verwen-
dung einer statistischen Maske, die ohne lithographische
Schritte hergestellt wird, Säulenstrukturen geätzt, die eine
Elektrode des Kondensators bilden. In der statistischen
Maske sind Strukturgrößen unter 100 nm realisierbar. Damit
werden Flächenvergrößerungsfaktoren bis zu 60 erzielt.



DE 196 32 835 C 1

In verschiedenen integrierten Schaltungen, wie z. B. dynamische Speicherzellenanordnungen, Anal g-Digital- und Digital-Analog-Wandlern sowie Filterschaltungen, werden Kondensatoren auf Halbleiterbasis eingesetzt. Bei der Herstellung von Kondensatoren auf Halbleiterbasis ist im Hinblick auf eine erhöhte Integrationsdichte oder reduzierte Chipfläche das Problem zu lösen, den Platzbedarf des Kondensators bei gleichbleibender Kapazität zu reduzieren.

Dieses Problem ist besonders gravierend bei dynamischen Halbleiterspeichern, bei denen die benötigte Fläche der im allgemeinen verwendeten Eintransistorspeicherzelle von Speichergeneration zu Speichergeneration mit zunehmender Speicherdichte reduziert wird. Gleichzeitig muß eine gewisse Mindestkapazität des Speicherkondensators erhalten bleiben.

Eine Eintransistorspeicherzelle einer dynamischen Halbleiterspeicheranordnung (DRAM-Speicheranordnung) umfaßt einen Auslesetransistor und einen Kondensator. In dem Kondensator ist die Information in Form einer elektrischen Ladung gespeichert, die eine logische Größe, 0 oder 1, darstellt. Durch Ansteuerung des Auslesetransistors über eine Wortleitung kann diese Information über eine Bitleitung ausgelesen werden. Zur sicheren Speicherung der Ladung und gleichzeitigen Unterscheidbarkeit der ausgelesenen Information muß der Kondensator eine Mindestkapazität aufweisen. Die untere Grenze für die Kapazität des Speicherkondensators wird derzeit bei 25 fF gesehen.

Bis zur 1 MBit-Generation wurden sowohl der Auslesetransistor als auch der Kondensator als planare Bauelemente realisiert. Ab der 4 MBit-Speichergeneration wurde eine weitere Flächenreduzierung der Speicherzelle durch eine dreidimensionale Anordnung von Auslesetransistor und Speicherkondensator erzielt. Eine Möglichkeit dafür besteht darin, den Speicherkondensator in einem Graben zu realisieren (s. z. B. K. Yamada et al, Proc. Intern. Electronic Devices and Material, IEDM 85, S. 702—705). Die Elektroden des Speicherkondensators sind in diesem Fall entlang der Oberfläche des Grabens angeordnet. Dadurch wird die effektive Fläche des Speicherkondensators, von der die Kapazität abhängt, gegenüber dem Platzbedarf an der Oberfläche des Substrats für den Speicherkondensator, der dem Querschnitt des Grabens entspricht, vergrößert.

Eine weitere Möglichkeit zur Vergrößerung der Speicherkapazität bei gleichbleibendem oder verringertem Platzbedarf des Speicherkondensators besteht darin, den Speicherkondensator als Stapelkondensator, den sogenannten "stacked capacitor", auszuführen. Dabei wird über den Wortleitungen eine Struktur aus Polysilizium, z. B. eine Kronenstruktur oder ein Zylinder gebildet, die mit dem Substrat kontaktiert wird. Diese Polysiliziumstruktur bildet den Speicherknoten. Er wird mit Kondensatordielektrikum und Kondensatorplatte versehen. Dieses Konzept hat den Vorzug, daß es weitgehend mit einem Logikprozeß kompatibel ist. Für den Speicherkondensator wird der freie Raum oberhalb der Substratoberfläche genutzt. Dabei kann die gesamte Zellfläche von der Polysiliziumstruktur überdeckt sein, so lang die Polysiliziumstrukturen zu benachbarten Speicherzellen gegeneinander isoliert sind.

Aus EP 0 415 530 B1 ist eine Speicherzellenanordnung mit einem Stapelkondensator als Speicherkondensator bekannt. Der Stapelkondensator umfaßt eine Polysiliziumstruktur mit mehreren, im wesentlichen par-

allel übereinander angeordneten Polysiliziumschichten, die über mindestens eine seitliche Stütze miteinander verbunden sind. Diese kühllrippenartig angeordneten Schichten führen zu einer deutlichen Vergrößerung der Oberfläche der Polysiliziumstruktur gegenüber der Projektion der Polysiliziumstruktur auf die Substratoberfläche. Die Polysiliziumstruktur wird durch alternierende Abscheidung von Polysiliziumschichten und selektiv dazu ätzbaren SiO_2 -Schichten auf der Oberfläche des Substrats, Strukturierung dieser Schichten, Bildung der seitlichen Stütze und selektives Herausätzen der SiO_2 -Schichten gebildet. Die Polysiliziumstrukturen sind dabei arsen-dotiert. Anschließend wird durch thermische Oxidation Siliziumoxid als Kondensatordielektrikum gebildet, auf dem eine Zellplatte aus dotiertem Polysilizium abgeschieden wird. Die erforderliche mechanische Stabilität der parallel angeordneten Polysiliziumschichten und die Tatsache zwischen parallel angeordneten Polysiliziumschichten das Kondensatordielektrikum und die Zellplatte einbringen zu müssen, begrenzt die mögliche Oberflächenvergrößerung.

In US 5 254 503 ist vorgeschlagen worden zur Oberflächenvergrößerung einer Kondensatorelektrode, diese mit Hilfe einer Maske aus Polysiliziumkeimen, die durch CVD-Abscheidung gebildet werden, oder mit Hilfe einer Maske, die unter Ausnutzung von Oberflächenrauigkeiten gebildet wurde, zu strukturieren. Die Strukturen in der Maske sind in Größe und Dichte statistisch, so daß die Oberflächenvergrößerung und damit die erzielbare Kapazität schlecht kontrollierbar ist.

Der Erfindung liegt das Problem zugrunde, ein Verfahren zur Herstellung eines Kondensators in einer Halbleiteranordnung, insbesondere für eine DRAM-Anordnung, anzugeben, mit dem eine Erhöhung der Packungsdichte erzielt wird und bei dem die Kapazität des Kondensators kontrollierbar ist.

Dieses Problem wird erfindungsgemäß gelöst durch ein Verfahren gemäß Anspruch 1. Weitere Ausgestaltungen der Erfindung gehen aus den übrigen Ansprüchen hervor.

Zur Herstellung des Kondensators wird auf einem Substrat eine statistische Maske mit statistisch verteilten Maskenstrukturen gebildet. Die statistisch verteilten Maskenstrukturen werden ohne Einsatz von lithographischen Verfahren durch Bildung von Keimen aus Silizium und/oder Germanium und anschließende selektive Epitaxie erzeugt. Dabei wird die Keimbildung unterbrochen, sobald eine vorgegebene Dichte der Keime erreicht ist. Die Größe der Keime wird anschließend durch selektive Epitaxie von Silizium eingestellt. Daher sind die statistisch verteilten Maskenstrukturen mit geringeren Strukturgrößen, als es der Auflösungsgrenze der Lithographie entspricht, herstellbar und sind dennoch in Größe und Dichte kontrollierbar.

In der Oberfläche des Substrats werden durch anisotropes Ätzen Säulenstrukturen gebildet, deren Querschnitt und Verteilung durch die Anordnung der statistisch verteilten Maskenstrukturen festgelegt wird. Die statistische Maske wird dabei als Ätzmaske verwendet. Am Säulenboden sind die Säulenstrukturen über ein Verbindungselement miteinander verbunden. Als Verbindungselement fungiert das an die Säulenstrukturen angrenzende Material. Werden die Säulenstrukturen in einer Schicht aus z. B. dotiertem Polysilizium gebildet, so wird diese Schicht nicht ganz durchgeätzt und der verbleibende, durchgehende Rest der Schicht bildet das Verbindungselement.

Mindestens die Oberfläche der Säulenstrukturen und

des Verbindungselementes sind elektrisch leitend. Die Säulenstrukturen mit dem Verbindungselement bilden den Speicherknoten des Kondensators. Zur Fertigstellung des Kondensators wird eine dielektrische Schicht mit im wesentlichen konformer Kantenbedeckung erzeugt, die mindestens die Oberfläche der Säulenstrukturen bedeckt und die ein Kondensatordielektrikum bildet. Schließlich wird als Kondensatorplatte eine leitfähige Schicht mit im wesentlichen konformer Kantenbedeckung abgeschieden.

Vorzugsweise wird die statistische Maske mit Strukturgrößen im Bereich zwischen 1 und 100 nm gebildet. Das heißt, die Strukturgrößen der statistisch verteilten Maskenstrukturen liegen im Bereich zwischen 1 und 100 nm und die Abstände zwischen benachbarten statistisch verteilten Maskenstrukturen liegen ebenfalls in diesem Größenbereich. Die statistisch verteilten Maskenstrukturen können dabei sowohl als Einzelstrukturen als auch als zusammenhängende Wabenstrukturen ausgebildet werden. Damit werden Packungsdichten im Bereich zwischen 10^8 und 10^{13} pro cm^2 erreicht. Diese Packungsdichte entspricht der Packungsdichte der Säulenstrukturen, die gemeinsam mit dem Verbindungselement den Speicherknoten bilden. Die Säulenstrukturen bewirken eine drastische Vergrößerung der Oberfläche des Speicherknotens.

Für die Flächenvergrößerung des Speicherknotens ist ferner das Aspektverhältnis der Säulenstrukturen bestimmend.

Unter Zugrundelegung einer Technologie mit einer minimal herstellbaren Strukturgröße von $F = 0,25 \mu\text{m}$, einer Speicherzelle mit einem Platzbedarf von $8 F^2$ (F minimale Strukturgröße), einem Säulendurchmesser von 20 nm und einem mittleren Säulenabstand von 20 nm ergibt sich bei einem Aspektverhältnis von 20 eine Säulenhöhe von 400 nm und eine Kapazität von 25 fF bei Verwendung eines Kondensatordielektrikums aus einer Dreifachschicht aus Siliziumoxid, Siliziumnitrid und Siliziumoxid. Für ein 1 Gbit-DRAM ist ein Aspektverhältnis von 45 erforderlich, um eine Kapazität von 25 fF zu erzielen. Höhere Kapazitäten können in diesem Verfahren durch Einsatz von Materialien mit hoher relativer Dielektrizitätskonstante, insbesondere größer 100, erzielt werden.

Zur Bildung der statistischen Maske werden an der Oberfläche des Substrats mit Hilfe eines CVD-Verfahrens Keime gebildet. Dabei wird ausgenutzt, daß bei CVD-Verfahren durch die Einstellung der Prozeßparameter die Keimbildung beeinflusst werden kann. Zur Bildung der statistischen Maske werden die Parameter in dem CVD-Verfahren so eingestellt, daß die Keimbildung stark verlangsamt ist, so daß sich zunächst einzelne isolierte Keime bilden.

Vorzugsweise werden die Keime durch eine CVD-Abscheidung gebildet, bei der ein Prozeßgas verwendet wird, das mindestens eine der Verbindungen SiH_4 , GeH_4 und H_2 enthält.

Es wurde festgestellt, daß durch Verwendung eines Prozeßgases mit GeH_4 in einem Trägergas, z. B. H_2 , bei Drücken im Bereich von 10^2 bis 10^4 Pa und Temperaturen im Bereich von 500–700°C isolierte Germaniumkeime gebildet werden mit Strukturgrößen im Bereich von 10 bis 100 nm.

Es ist besonders vorteilhaft, die Keime unter Verwendung eines SiH_4 , GeH_4 und H_2 enthaltenden Prozeßgases durch CVD-Abscheidung zu bilden. Dabei wird die Erkenntnis ausgenutzt, daß die Zugabe von GeH_4 bei einer CVD-Abscheidung unter Verwendung eines Pro-

zeßgases, das hauptsächlich SiH_4 in einem Trägergas, z. B. H_2 , enthält, die Keimbildung von Siliziumkeimen verzögert. Über die Zugabe von GeH_4 kann daher die Keimdichte eingestellt werden.

Im Hinblick auf hohe Selektivitäten der Ätzung bei der Bildung der Säulenstrukturen ist es vorteilhaft, in dem Substrat eine Maskenschicht vorzusehen, die unter Verwendung der statistischen Maske als Ätzmaske strukturiert wird und die anschließend gemeinsam mit der statistischen Maske bei der Bildung der Säulenstrukturen als Ätzmaske wirkt. Die Maskenschicht wird vorzugsweise aus einem Material gebildet, das für eine Hartmaske geeignet ist. Hierzu zählen z. B. TEOS-SiO_2 oder Si_3N_4 .

Als Substrat ist z. B. ein Halbleitersubstrat, vorzugsweise aus monokristallinem Silizium oder ein SOI-Substrat geeignet.

Das Verfahren zur Herstellung des Kondensators ist besonders vorteilhaft einsetzbar bei der Herstellung eines Speicherkondensators einer DRAM-Anordnung. Dabei kann der Kondensator sowohl als Grabenkondensator im Substrat als auch als Stapelkondensator ausgebildet werden. In Bezug auf die Flächenvergrößerung ist die Herstellung des Kondensators als Stapelkondensator vorteilhaft. In diesem Fall umfaßt das Substrat ein Halbleitersubstrat mit Auswahltransistoren, Bitleitungen, Wortleitungen, einer isolierenden Schicht, die die Auswahltransistoren, die Bitleitungen und die Wortleitungen abdeckt und die vorzugsweise planarisiert ist, und einer leitenden Schicht, vorzugsweise aus dotiertem Polysilizium, in der nach dem erfindungsgemäßen Verfahren die Speicherknoten, die jeweils aus Säulenstrukturen und Verbindungselement zusammengesetzt sind, gebildet werden. Die isolierende Schicht umfaßt darüber hinaus Kontakte zwischen den herzustellenden Speicherknoten und Sourcegebieten der Auswahltransistoren.

Im folgenden wird die Erfindung anhand von Ausführungsbeispielen, die in den Figuren dargestellt sind, näher erläutert. Die Darstellung in den Figuren sind nicht maßstäblich.

Fig. 1 zeigt ein Substrat mit Auslesetransistoren, Wortleitungen, Bitleitungen, einer dotierten Polysiliziumschicht, einer Maskenschicht und statistisch verteilten Maskenstrukturen.

Fig. 2 zeigt das Substrat nach Strukturierung der Maskenschicht.

Fig. 3 zeigt das Substrat nach Bildung von Säulenstrukturen in der dotierten Polysiliziumschicht.

Fig. 4 zeigt das Substrat nach der Bildung einzelner Speicherknoten.

Fig. 5 zeigt das Substrat nach Fertigstellung von Speicherkondensatoren durch Erzeugung eines Kondensatordielektrikums und einer Kondensatorplatte.

Ein Substrat S umfaßt eine Scheibe aus monokristallinem Silizium 1, in der Auswahltransistoren mit jeweils Source-Drain-Gebieten 2, Gateoxid und als Wortleitungen 3 ausgebildeten Gate-Elektroden vorgesehen sind. Die Auswahltransistoren sind jeweils paarweise angeordnet, wobei zu einem Paar gehörige Auswahltransistoren ein gemeinsames Source-Drain-Gebiet 2 umfassen, das über einen Bitleitungskontakt 4 mit einer Bitleitung 5 verbunden ist. In der Siliziumscheibe 1 sind benachbarte Auswahltransistorpaare durch Isolationsstrukturen 6 gegeneinander isoliert. Als Isolationsstruktur 6 werden z. B. LOCOS-Isolationen oder Isolationsgräben (shallow-trench-isolation) verwendet.

Das Substrat S umfaßt ferner eine isolierende Schicht

7 mit planarer Oberfläche, die die Auswahltransistoren, die Wortleitungen 3 und die Bitleitungen 5 vollständig abdeckt. In der isolierenden Schicht 7 sind Speicherknotenkontakte 8 vorgesehen, die jeweils auf diejenigen Source-Drain-Gebiete 2 reichen, die nicht mit einem Bitleitungskontakt 4 versehen sind.

Ferner umfaßt das Substrat S eine dotierte Polysiliziumschicht 9, die an der Oberfläche der isolierenden Schicht 7 angeordnet ist. Die dotierte Polysiliziumschicht 9 weist eine Dicke von z. B. 500 nm auf. Sie ist z. B. n-dotiert mit einer Dotierstoffkonzentration von $10^{21}/\text{cm}^3$. Sie wird z. B. durch insitu dotierte Abscheidung in einem CVD-Verfahren oder durch undotierte Abscheidung und anschließende Dotierung durch Implantation, Belegung oder Diffusion gebildet. Die Oberfläche der dotierten Polysiliziumschicht 9 bildet die Oberfläche des Substrats S.

Auf die Oberfläche der dotierten Polysiliziumschicht 9 wird eine Maskenschicht 10 aus z. B. SiO_2 in einer Schichtdicke von z. B. 20 nm aufgebracht. Für die Maskenschicht 10 kommen alle Materialien in Frage, die als Ätzmaske zur Strukturierung der dotierten Polysiliziumschicht 9 geeignet sind.

Auf der Oberfläche der Maskenschicht 10 werden statistisch verteilte Maskenstrukturen in Form von Keimen während einer Gasphasenabscheidung in einer Epitaxieanlage gebildet. Als Prozeßgas wird eine Atmosphäre aus H_2 und SiH_4 verwendet, wobei H_2 das Trägergas bildet. Ferner umfaßt die Atmosphäre GeH_4 , das zur Verzögerung des Keimbildungsprozesses zugegeben wird. Der Partialdruck von SiH_4 und GeH_4 liegt im Bereich von 10^{-1} bis 10^2 Pa, der Partialdruck von H_2 liegt im Bereich von 10^2 bis 10^4 Pa. Die Abscheidung wird im Temperaturbereich zwischen 500°C und 700°C durchgeführt. Bei diesen Prozeßbedingungen bilden sich an der Oberfläche der Maskenschicht 10 einzelne Silizium/Germaniumkeime, die die Verteilung und Dichte der statistisch verteilten Maskenstrukturen bestimmen. Sobald die Dichte der Silizium/Germaniumkeime eine vorgegebene Dichte von etwa $5 \times 10^{10}/\text{cm}^2$ erreicht hat, wird der Keimbildungsprozeß abgebrochen.

Anschließend werden die Prozeßbedingungen verändert, um die Größe der Silizium/Germaniumkeime gezielt einzustellen. Dazu werden Prozeßbedingungen eingestellt, wie sie für die selektive Epitaxie benutzt werden. Bei diesen Prozeßbedingungen ist eine weitere Keimbildung an der Oberfläche der Maskenschicht 10 unterbunden. Die selektive Epitaxie erfolgt z. B. mit einer Gasmischung aus H_2 und SiH_2Cl_2 im Temperaturbereich zwischen 600°C und 800°C . Dieser Gasmischung kann darüber hinaus GeH_4 zugegeben werden, um die Materialzusammensetzung der Keime und damit Materialeigenschaften wie z. B. Ätzselektivitäten und ähnliches einzustellen.

Sobald der Durchmesser der Keime einem vorgegebenen Wert entspricht, wird der Abscheideprozeß abgebrochen. Die Keime bilden die statistisch verteilten Maskenstrukturen 11, die zusammen eine statistische Maske M bilden.

In einem anisotropen Ätzprozeß, der die Maskenschicht 10 selektiv zu den statistisch verteilten Maskenstrukturen 11 angreift, wird die Maskenschicht 10 strukturiert. Aus der Maskenschicht 10 wird dabei eine Hartmaske 12 gebildet (s. Fig. 2). Die anisotrope Ätzung wird z. B. mit CHF_3/CF_4 durchgeführt.

Anschließend wird ein anisotroper Ätzprozeß durchgeführt, der Silizium selektiv zu SiO_2 angreift. Dabei

werden in der dotierten Polysiliziumschicht 9 Säulenstrukturen 91 gebildet. Gleichzeitig werden die statistisch verteilten Maskenstrukturen 11, die aus Silizium oder Siliziumgermanium bestehen, entfernt. Der anisotrope Ätzprozeß wird z. B. mit HBr durchgeführt.

Die Säulenstrukturen 91 weisen eine Höhe auf, die geringer ist, als es der Dicke der dotierten Polysiliziumschicht 9 entspricht (s. Fig. 3). Der verbleibende, durchgehende Rest der dotierten Polysiliziumschicht 9 bildet ein Verbindungselement 92, über das die Säulenstrukturen 91 miteinander verbunden sind. Die Säulenstrukturen 91 weisen eine Höhe von z. B. 400 nm auf.

Die Dichte, der Querschnitt und die Anordnung der Säulenstrukturen 91 sind durch die Anordnung der statistisch verteilten Maskenstrukturen 11 in der statistischen Maske M vorgegeben. Bei einem Säulendurchmesser von 20 nm, einer Säulenhöhe von 400 nm, einem mittleren Säulenabstand von 20 nm ergibt sich dadurch eine Flächenvergrößerung um den Faktor 16.

In einem isotropen Ätzprozeß, z. B. in einem HF-Dip, wird die Hartmaske 12 selektiv zu Silizium entfernt. Anschließend wird mit Hilfe fotolithographischer Verfahren ein anisotroper Ätzprozeß durchgeführt, bei dem in den Säulenstrukturen 91 und dem Verbindungselement 92 Gräben erzeugt werden, die jeweils bis auf die Oberfläche der isolierenden Schicht 7 reichen und die zu jedem Auswahltransistor einen Speicherknoten 13 definieren. Der Speicherknoten 13 ist jeweils gegenüber dem benachbarten Speicherknoten 13 isoliert und über den Speicherknotenkontakt 8 mit dem zugehörigen Source-Drain-Gebiet 2 elektrisch verbunden (s. Fig. 4). Der anisotrope Ätzprozeß wird z. B. mit HBr durchgeführt.

Der Lithographieschritt und der anisotrope Ätzprozeß zur Trennung der einzelnen Speicherknoten 13 kann auch vor Bildung der Säulenstrukturen 91 erfolgen.

Anschließend wird die Oberfläche der Speicherknoten 13 mit einem Kondensatordielektrikum 14 versehen. Als Kondensatordielektrikum 14 ist z. B. SiO_2 in einer Dicke von 5 nm, eine Dreifachschicht aus SiO_2 , Si_3N_4 und SiO_2 mit einer Dicke von jeweils etwa 2 nm geeignet. Um höhere Kapazitäten zu erzielen, ist es zweckmäßig, das Kondensatordielektrikum 14 aus einem Material mit einer relativen Dielektrizitätskonstante $\epsilon_r > 50$ zu bilden. Dafür kommen folgende Materialien in Frage:



Anschließend wird ganzflächig eine leitfähige Schicht, z. B. aus dotiertem Polysilizium abgeschieden, die eine Kondensatorplatte 15 bildet (s. Fig. 5). Die Kondensatorplatte 15 wird z. B. aus dotiertem Polysilizium durch insitu dotierte Abscheidung gebildet. Dabei werden die Zwischenräume zwischen benachbarten Säulenstrukturen 91 vollständig aufgefüllt. Die Kondensatorplatte 15 wird z. B. n-dotiert mit einer Dotierstoffkonzentration von $10^{21}/\text{cm}^3$.

Das Verfahren ist nicht auf das hier gewählte Beispiel des Substrats beschränkt. Für die Durchführung des Verfahrens sind alle Substrate geeignet, in deren Oberfläche Säulenstrukturen geätzt werden können.

Patentansprüche

1. Verfahren zur Herstellung eines Kondensators in einer Halbleiteranordnung,

- bei dem auf einem Substrat (S) eine statistische Maske (M) mit statistisch verteilten Maskenstrukturen (11) gebildet wird,
 - bei dem zur Bildung der statistischen Maske (M) mit Hilfe eines CVD-Verfahrens Keime (11) aus Silizium und/oder Germanium gebildet werden,
 - bei dem die Keimbildung unterbrochen wird, sobald eine vorgegebene Dichte der Keime erreicht ist,
 - bei dem durch selektive Epitaxie von Silizium und/oder Germanium die Größe der Keime eingestellt wird,
 - bei dem unter Verwendung der statistischen Maske (M) Säulenstrukturen (91) gebildet werden, die am Säulenboden über ein Verbindungselement (92) miteinander verbunden sind,
 - bei dem mindestens die Oberfläche der Säulenstrukturen (91) und des Verbindungselementes (92) elektrisch leitend sind,
 - bei dem zur Bildung eines Kondensatordielektrikums (14) eine dielektrische Schicht mit im wesentlichen konformer Kantenbedeckung erzeugt wird, die mindestens die Oberfläche der Säulenstrukturen (91) bedeckt,
 - bei dem zur Bildung einer Kondensatorplatte (15) eine leitfähige Schicht mit im wesentlichen konformer Kantenbedeckung abgeschieden wird.
2. Verfahren nach Anspruch 1, bei dem die statistische Maske (M) mit Strukturgrößen im Bereich zwischen 1 nm und 100 nm gebildet wird.
3. Verfahren nach Anspruch 1 oder 2, bei dem die Keime zur CVD-Abscheidung unter Verwendung eines Prozeßgases, das mindestens eine der Verbindungen SiH_4 , GeH_4 , N_2 , Ar, He und H_2 enthält, gebildet werden.
4. Verfahren nach einem der Ansprüche 1 bis 3, bei dem das Substrat (S) eine Maskenschicht (10) umfaßt, die unter Verwendung der statistischen Maske (M) als Ätzmaske strukturiert wird und die gemeinsam mit der statistischen Maske (M) bei der Bildung der Säulenstrukturen (91) als Ätzmaske eingesetzt wird.
5. Verfahren nach einem der Ansprüche 1 bis 4,
- bei dem die Säulenstrukturen (91) und das Verbindungselement (92) aus dotiertem Silizium gebildet werden,
 - bei dem das Kondensatordielektrikum (14) aus SiO_2 und/oder Si_3N_4 oder aus einem dielektrischen Material mit einer relativen Dielektrizitätskonstante $\epsilon_r > 50$ gebildet wird,
 - bei dem die Kondensatorplatte (15) aus dotiertem Polysilizium gebildet wird.

Hierzu 3 Seite(n) Zeichnungen

FIG 1

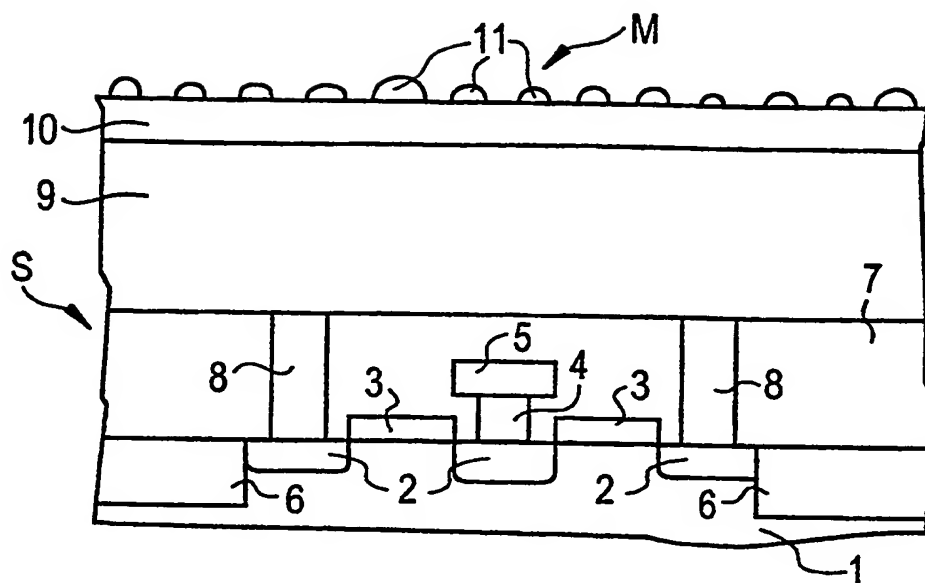


FIG 2

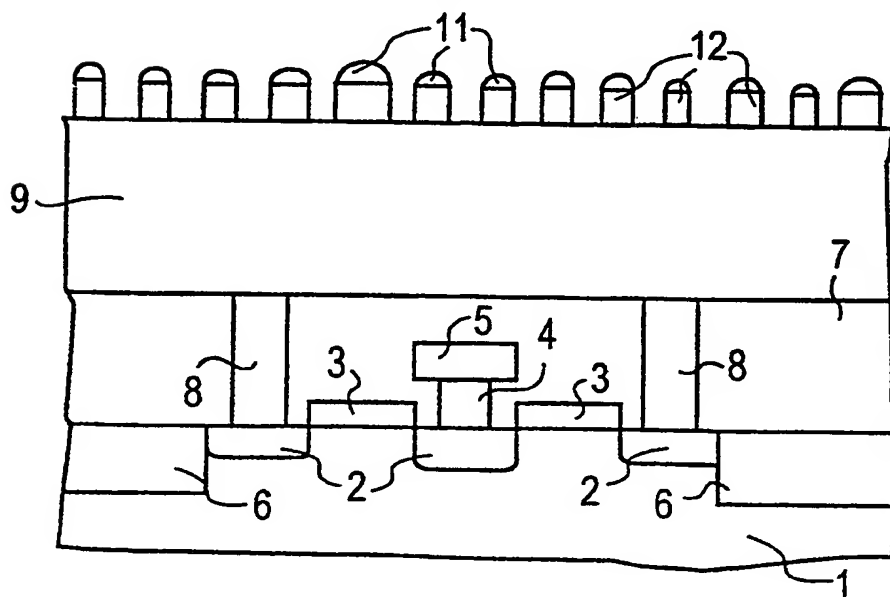


FIG 3

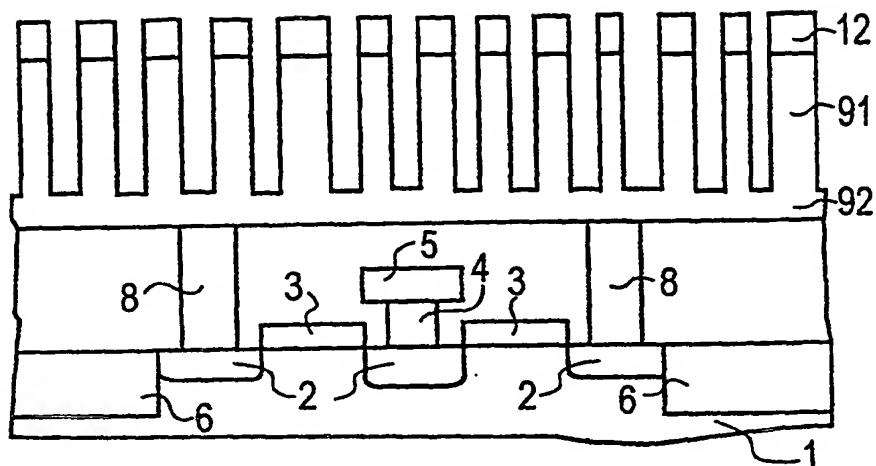


FIG 4

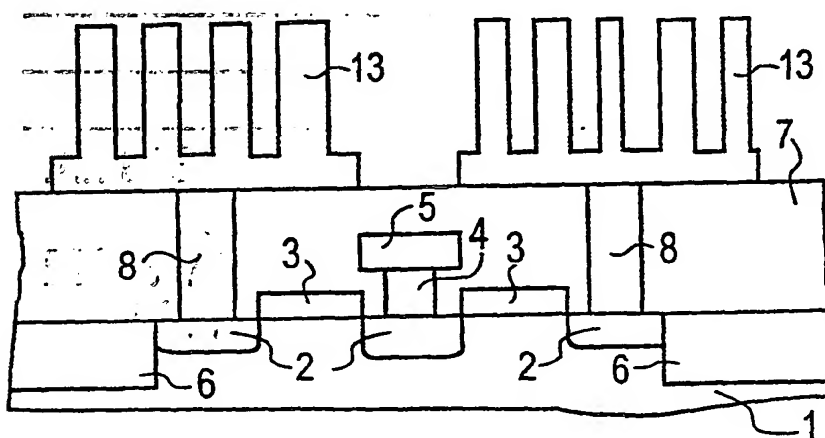
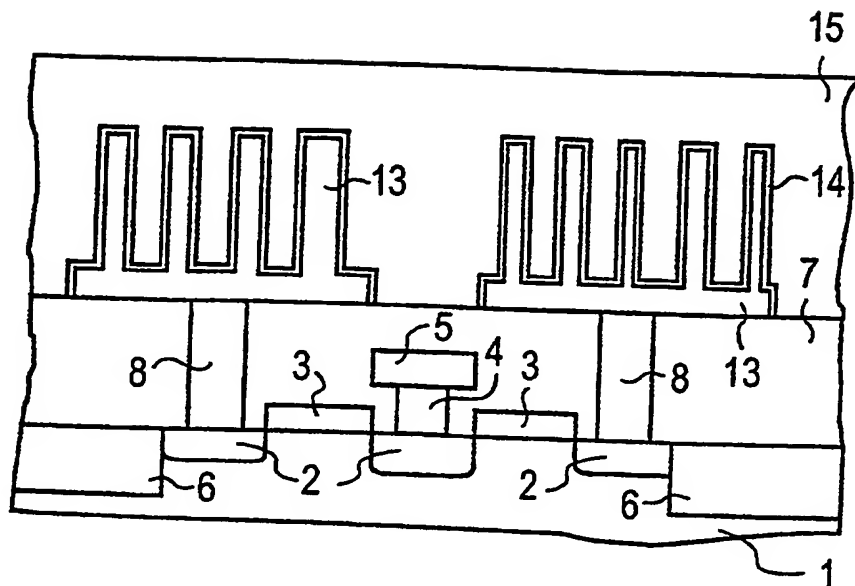


FIG 5



DOCKET NO: G-86-I0232

SERIAL NO: 10/047,013

APPLICANT: Rösner et al.

LERNER AND GREENBERG P.A.

P.O. BOX 2480

HOLLYWOOD, FLORIDA 33022

TEL. (954) 925-1100